**Práctica 7:** Procesador CISC 68HC11

Laboratorio de Organización y Arquitectura de Computadoras

**Grupo:** 2

**Alumnos:**

* Guzmán Sánchez José Emmanuel
* Mejía Ortiz Aarón Enrique
* Sáenz Barragán Ricardo

Objetivo

Diseñar un procesador CISC de 8 bits en VHDL, específicamente un ‘clon’ del microprocesador 68HC11 de Motorola

**Dispositivo**: MAX10 DE-Lite 10M50DAF484C7G

1. Desarrollo

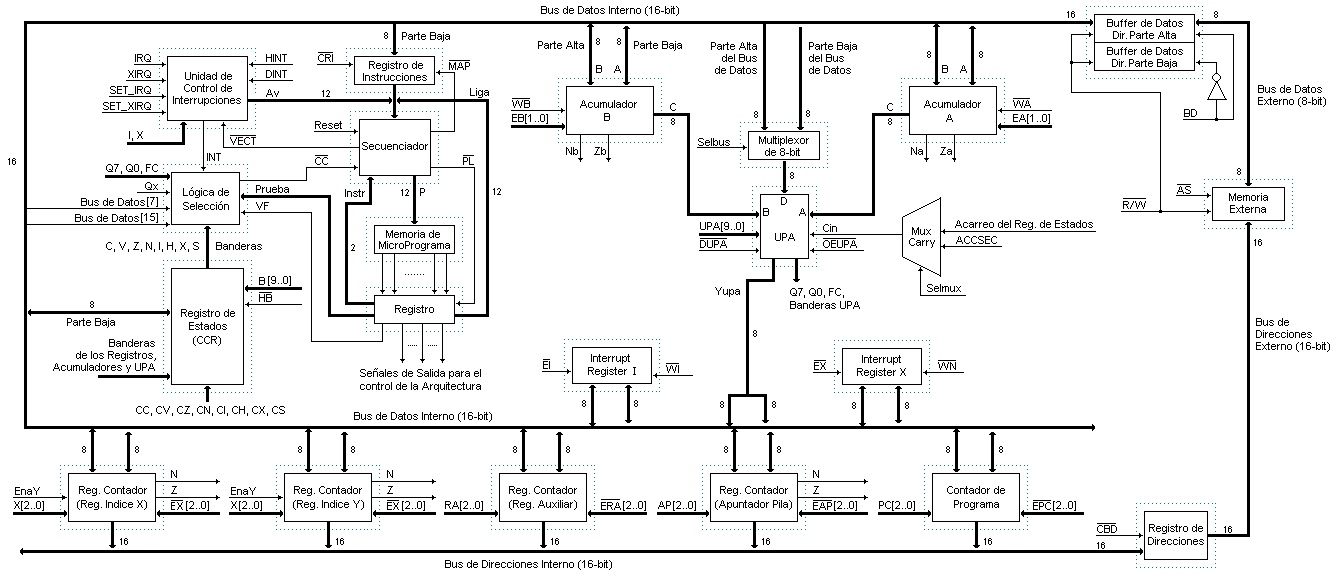
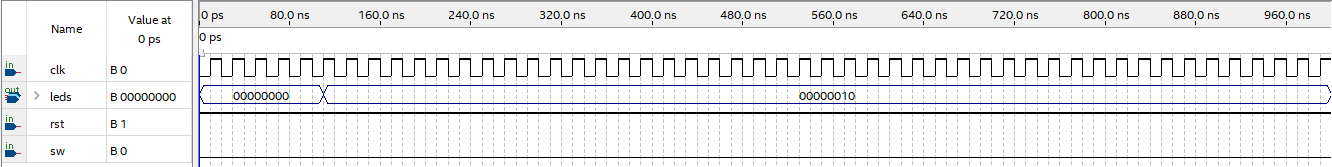


Figura 1. Diagrama del microprocesador 68HC11 de Motorola

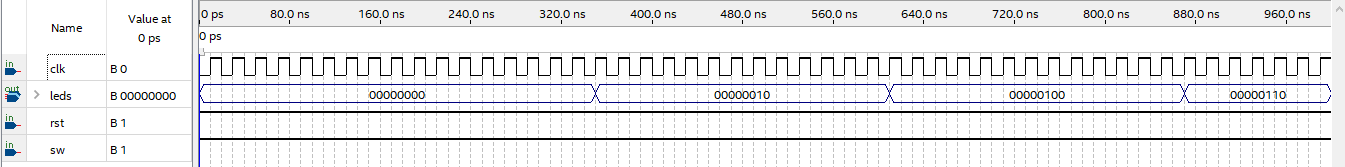
Aquí escribo

Contenido del acumulador B



Después de 6 ciclos, el dato se carga en el acumulador

Contenido del acumulador A



En los primeros 6 ciclos se carga el dato en B, los siguientes 6 ciclos se carga el dato 0 en el acumulador A y para los siguientes 5 ciclos se suma A y B y se guarda en el acumulador A

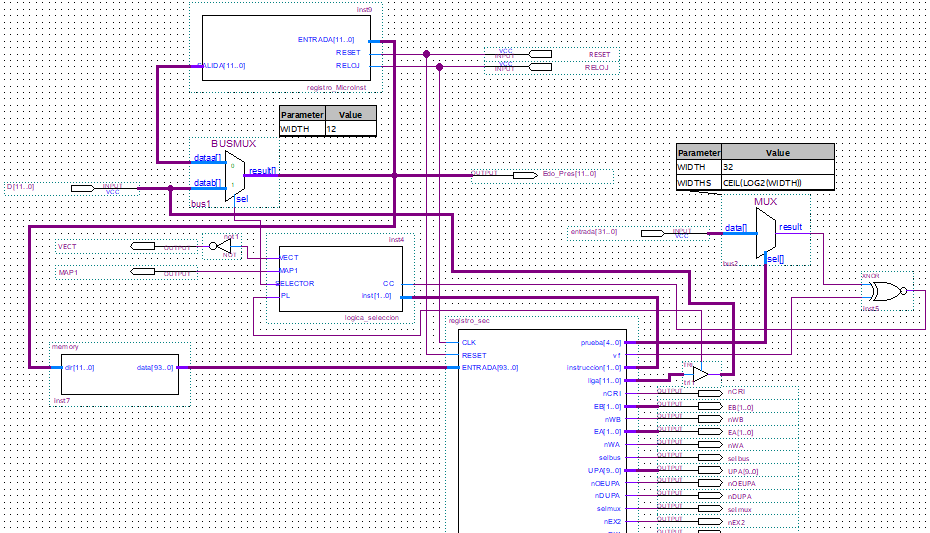


Fig X. Diagrama del secuenciador

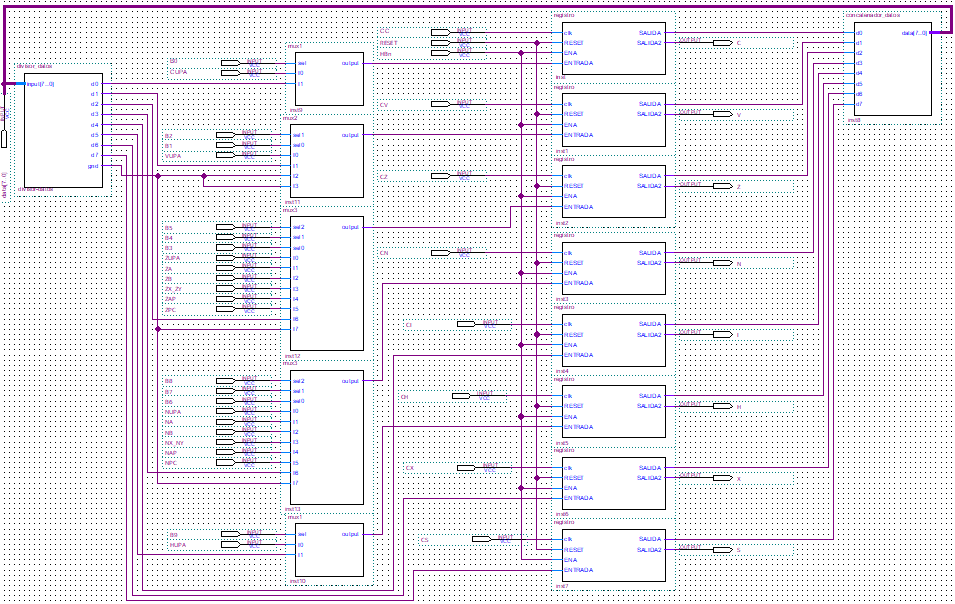
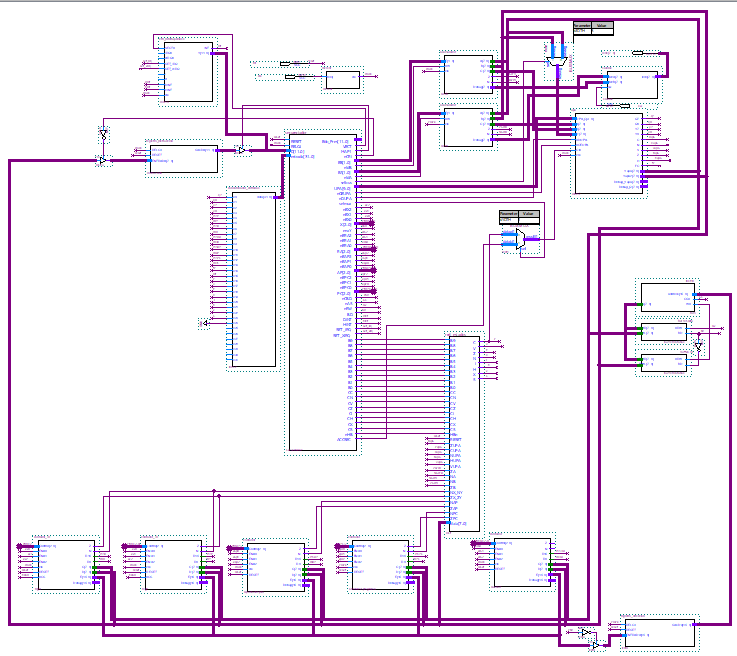


Fig X. Digrama del registro CCR (de estados y banderas)



Para poder implementar la carta ASM dada en el secuenciador básico es necesario llenar

1. Simulaciones

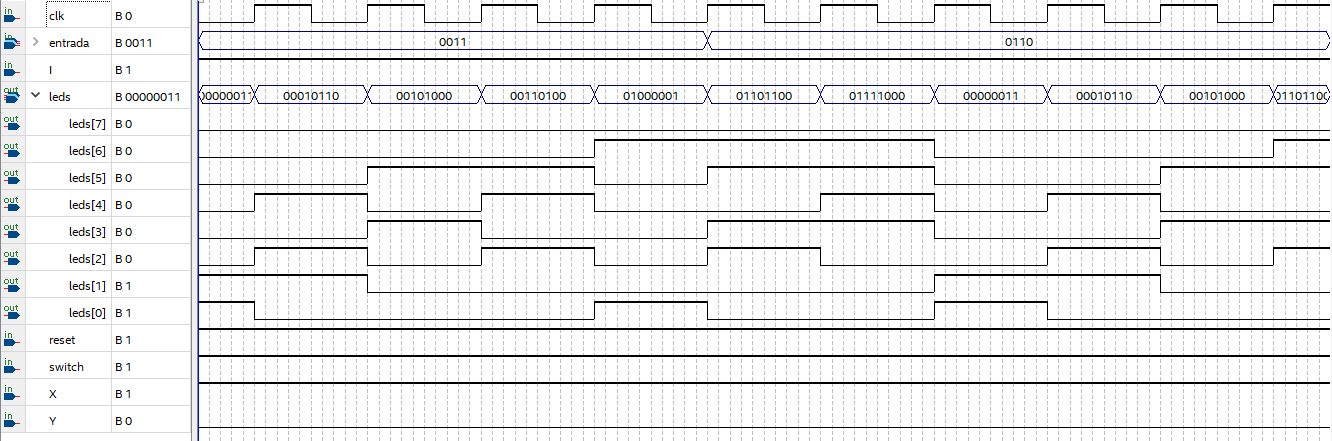


Figura 12. Simulación del sistema

Debido a que la entrada del switch está en alto, en los leds de salida se mostrará el estado presente y las salidas, que corresponde a los leds 7-4 y 3-0 respectivamente.

Antes del primer flanco de subida a la salida podemos ver que se inicia en el estado 0000 y se activan las salidas 1 y 0. Después del primer flanco de subida pasamos al estado 0001 activando sus salidas correspondientes y después al estado 0010 siguiendo el mismo proceso. Llegando a este estado se hace un salto de transformación tomando el estado siguiente del registro dedicado a este, el cual está representado por ***entradas***, así que salta al estado 0011 y activa las salidas correspondientes.

Después del estado 0011 da un salto condicional, correspondiente a la entrada **X**, como ésta está en alto, entonces pasa al estado 0100. Después de este estado hace un salto de interrupción, por lo que toma hace la condición dependiendo de la variable **I,** como está en alto, entonces toma el estado siguiente del registro de interrupción, que igual está definida por ***entradas***, por lo que salta al estado 0110, posterior a esto hace pasos continuos hasta regresar al estado 0000.

1. Conclusiones

Guzmán Sánchez José Emmanuel

El secuenciador es un elemto

Mejia Ortiz Aarón Enrique

Sáenz Barragán Ricardo